

## Électronique numérique

Année scolaire 2008-2009

Majeure ELP

### Sans document - 35 mn

## Corrigé

**Questionnaire à Choix Multiples** : cocher les cases adéquates ; suivant les questions, une ou plusieurs cases peuvent être cochées (5 points)

1. Les circuits CMOS représentent plus de 95% du marché des circuits numériques car

- ils sont plus rapides que les circuits bipolaires
- on sait fabriquer des transistors MOS plus petits que les transistors bipolaires
- ils consomment moins que les circuits bipolaires

Intérêt principal de la techno CMOS : pas de consommation en statique

2. La puissance consommée par un opérateur CMOS est proportionnelle aux paramètres suivants :

- la fréquence de commutation de la sortie de l'opérateur,  $f$
- la fréquence de commutation de la sortie de l'opérateur au carré,  $f^2$
- la tension d'alimentation  $V_{DD}$
- la tension d'alimentation au carré  $V_{DD}^2$
- la capacité de charge de l'opérateur  $C_L$
- la capacité de charge de l'opérateur au carré  $C_L^2$

$$P_{totale} = \underbrace{P_{statique}}_{=0} + P_{dynamique} = f C_L V_{DD}^2$$

3. Quelle est la nature du point mémoire pour une mémoire RAM statique (SRAM) ?

- un condensateur
- une diode
- un bistable

Le point mémoire est un condensateur pour une mémoire dynamique (DRAM)

4. Soient  $t_{rise}$  et  $t_{fall}$  les temps de montée et de descente d'un inverseur CMOS construit à partir de transistors de dimensions identiques (même  $L$  et même  $W$ ). Quelle est la relation entre  $t_{rise}$  et  $t_{fall}$  ?

- $t_{rise} \approx t_{fall}$
- $t_{rise} \approx 3 t_{fall}$
- $t_{fall} \approx 3 t_{rise}$
- $t_{fall} \approx 2 t_{rise}$

$$\frac{t_{rise}}{t_{fall}} = \frac{\beta_N}{\beta_P} = \frac{\mu_N C_{ox} W_N}{L_N} \times \frac{L_P}{\mu_P C_{ox} W_P} = \frac{\mu_N}{\mu_P} \approx 3$$

5. Les mémoires Flash sont des mémoires

- ROM reprogrammables
- ROM programmables une seule fois
- RAM statiques
- RAM dynamiques

### Question 1

(2 points)

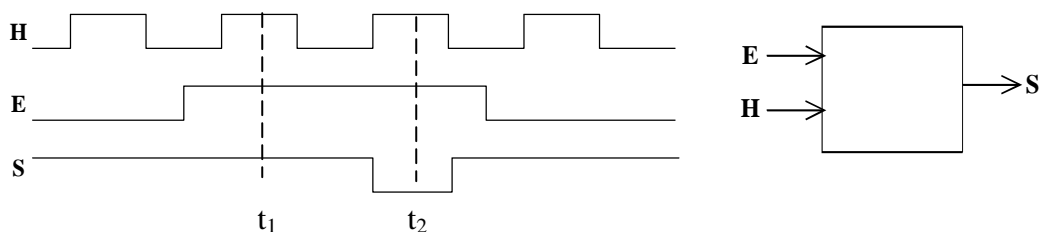
Quelle(s) contrainte(s) doit-on imposer à une machine séquentielle pour qu'elle puisse être réalisée sous la forme d'un automate de Moore ?

Pour qu'une machine séquentielle à états finis soit réalisable sous la forme d'une machine de Moore, il faut que **ses sorties ne dépendent que de l'état présent, pas des entrées**. Dans le cas contraire, elle sera implémentée sous la forme d'une machine de Mealy.

### Question 2

(3 points)

Le circuit suivant est-il combinatoire ou séquentiel ? Pourquoi ?



Un circuit combinatoire est la réalisation d'une fonction booléenne. Un circuit non combinatoire est séquentiel.

Le circuit ci-dessus ne peut pas être combinatoire car on n'a pas  $S = f(E, H)$ . En effet, à l'instant  $t_1$ ,  $E = H = 1$  et  $S = 1$  et à l'instant  $t_2$ ,  $E = H = 1$  et  $S = 0$  donc  $f$  ne peut pas être une fonction au sens mathématique.

NB : un circuit combinatoire peut admettre un signal d'horloge comme entrée. Le fait que H « ressemble » à une horloge ne prouve en rien que l'opérateur est séquentiel.

### Exercice 1

(7 points)

Le but de cet exercice est d'effectuer la synthèse d'un compteur synchrone décrivant le cycle suivant :

0, 8, 12, 14, 7, 11, 13, 6, 3, 9, 4, 10, 5, 2, 1, 0, ...

1. Combien de bascules D sont nécessaires à la réalisation de ce compteur ? Justifier.

Le cycle de ce compteur est constitué de 15 états différents, 4 bits au minimum sont donc nécessaires au codage de ces états. Quatre bascules D « flip-flop » permettent alors la mémorisation de l'état courant du compteur.

2. Etablir la table de transition du compteur. Montrer qu'il peut être réalisé à partir d'un registre à décalage et d'une porte logique élémentaire. Dessiner le schéma logique du compteur.

Table de transition ( $Q_3$  est le bit de poids fort et  $Q_0$  le bit de poids faible) :

état courant	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^+$	$Q_2^+$	$Q_1^+$	$Q_0^+$	état suivant
0	0	0	0	0	1	0	0	0	8
1	0	0	0	1	0	0	0	0	0
2	0	0	1	0	0	0	0	1	1
3	0	0	1	1	1	0	0	1	9
4	0	1	0	0	1	0	1	0	10
5	0	1	0	1	0	0	1	0	2
6	0	1	1	0	0	0	1	1	3
7	0	1	1	1	1	0	1	1	11
8	1	0	0	0	1	1	0	0	12
9	1	0	0	1	0	1	0	0	4
10	1	0	1	0	0	1	0	1	5
11	1	0	1	1	1	1	0	1	13
12	1	1	0	0	1	1	1	0	14
13	1	1	0	1	0	1	1	0	6
14	1	1	1	0	0	1	1	1	7

On obtient directement, par lecture de la table de transition :

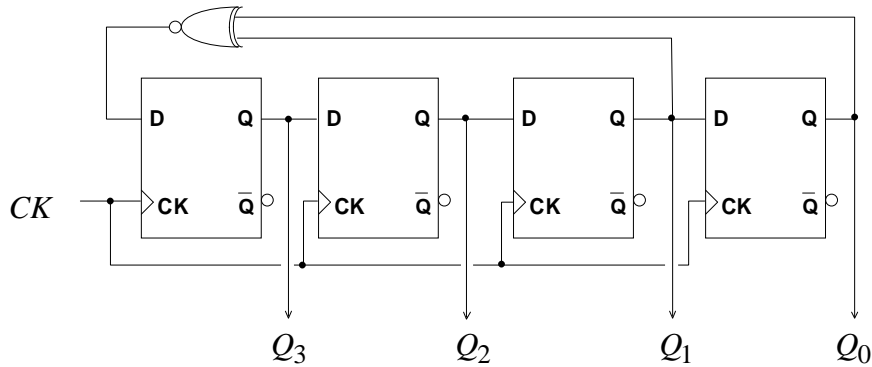
$$Q_0^+ = Q_1$$

$$Q_1^+ = Q_2$$

$$Q_2^+ = Q_3$$

et  $Q_3^+$  vaut 1 lorsque  $Q_1 = Q_0$ , soit  $Q_3^+ = \overline{Q_1 \oplus Q_0}$  (on pouvait également établir la table de Karnaugh de  $Q_3^+$  pour reconnaître le ET inclusif).

Schéma logique ou logigramme :



Le schéma logique montre que le compteur peut être réalisé avec un simple registre à décalage et une porte ET inclusif. Il faudrait ajouter une commande d'initialisation globale pour obtenir le circuit complet.

3. Sur le schéma logique, indiquer le(s) chemin(s) critique(s) interne(s) du circuit. Donner l'expression de sa fréquence maximale de fonctionnement en fonction des caractéristiques temporelles des opérateurs logiques élémentaires le constituant.

Il existe *a priori* deux chemins critiques possibles : le chemin traversant la bascule 1 puis le ET inclusif, et le chemin traversant la bascule 0 puis le ET inclusif. D'où :

$$f_{\max} = \frac{1}{\max[t_{p \max}(CK \rightarrow Q)_{Basc1}, t_{p \max}(CK \rightarrow Q)_{Basc0}] + t_{p \max}(porte) + t_{setup \ Basc3}}$$

Si les sorties  $Q_1$  et  $Q_0$  sont chargées de manière identique,  $t_{p \max}(CK \rightarrow Q)_{Basc1} > t_{p \max}(CK \rightarrow Q)_{Basc0}$ , car alors la sortance de la bascule 1 est supérieure à la sortance de la bascule 0. Mais il n'y a aucune indication sur la charge de  $Q_1$  et  $Q_0$  dans l'énoncé.

## Exercice 2

(3 points)

Réaliser en logique CMOS, avec un nombre minimal de transistors et sans utiliser d'interrupteur, la fonction logique  $g$  définie par :

$$g(A,B,C,D) = \overline{A} \overline{B} + \overline{C} \overline{D}$$

On peut facilement écrire cette fonction sous la forme d'une expression inversée :

$$g(A,B,C,D) = \overline{A+B+C+D} = \overline{(A+B)(C+D)}$$

